

DERWENT-ACC-NO: 2001-368910
DERWENT-WEEK: 200148
\~4~COPYRIGHT 1999 DERWENT INFORMATION LTD\~14~
TITLE: Manufacture of self-aligned polysilicon thin film transistor used in liquid crystal display technology, comprises utilizing single laser anneal to crystallize active silicon and to activate source/drain region
INVENTOR-NAME: FULKS, R T; HO, J
PRIORITY-DATA: 1999US-0442407 (November 18, 1999)
PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES	MAIN-IPC		
JP 2001203360	July 27, 2001	N/A	024
H01L 029/786			
A	May 23, 2001	E	009
H01L 021/336			
EP 1102313 A2	June 12, 2001	N/A	000
H01L 021/84			
US 6245602 B1			

INT-CL (IPC): H01L021/336; H01L021/84 ; H01L029/786
ABSTRACTED-PUB-NO: EP 1102313A
BASIC-ABSTRACT: NOVELTY - A self-aligned polysilicon thin film transistor is manufactured by utilizing a single laser anneal to crystallize the active silicon and to activate the source/drain region.

DETAILED DESCRIPTION - Manufacture of a top gate, self-aligned polysilicon thin film transistor comprises (a) depositing a dummy gate (20) on an optically transparent substrate (10); (b) depositing an isolation oxide layer (30) over the dummy gate and the substrate; (c) depositing an active silicon layer (40) over the isolation oxide layer; (d) depositing a mask layer over the active silicon layer and patterning the mask layer by backside exposure in which the dummy gate acts as an optical mask; (e) ion implanting dopant material to form a source-drain region; (f) laser annealing to simultaneously crystallize the active layer into polysilicon and to activate the source-drain region; (g) depositing a transparent conductive gate over the gate oxide

layer; and (h)
depositing a photoresist layer and patterning the photoresist layer by backside exposure in the dummy gate that acts as optical mask.
INDEPENDENT CLAIMS are also included for (A) a self-aligned polysilicon thin film transistor formed by the inventive process; and (B) an array comprising (i) self-aligned polysilicon thin film transistors (TFTs) arranged in rows and columns; (ii) pixels addressed by a TFT; and (iii) scan lines disposed perpendicular to data lines.
The data lines connect the drains of a line of TFTs and the scan lines connect to the electrode of a line of TFTs.

USE - For manufacturing a top gate, self-aligned polysilicon thin film transistor useful as a switch for controlling the charging and discharging of a liquid crystal cell to determine the amount of light transmitted.

ADVANTAGE - The invention allows the use of low temperature substrates and requires only a single laser anneal to activate the source-drain region and to crystallize the active silicon.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the top gate self-aligned TFT.

Substrate 10

Dummy gate 20

Isolation oxide layer 30

Active silicon layer 40

ABSTRACTED-PUB-NO: US 6245602B

EQUIVALENT-ABSTRACT: NOVELTY - A self-aligned polysilicon thin film transistor is manufactured by utilizing a single laser anneal to crystallize the active silicon and to activate the source/drain region.

DETAILED DESCRIPTION - Manufacture of a top gate, self-aligned polysilicon thin

film transistor comprises (a) depositing a dummy gate (20) on an optically transparent substrate (10); (b) depositing an isolation oxide layer (30) over the dummy gate and the substrate; (c) depositing an active silicon layer (40) over the isolation oxide layer; (d) depositing a mask layer over the active silicon layer and patterning the mask layer by backside exposure in which the dummy gate acts as an optical mask; (e) ion implanting dopant material to form a source-drain region; (f) laser annealing to simultaneously crystallize the active layer into polysilicon and to activate the source-drain region; (g) depositing a transparent conductive gate over the gate oxide layer; and (h) depositing a photoresist layer and patterning the photoresist layer by backside exposure in the dummy gate that acts as optical mask.

INDEPENDENT CLAIMS are

also included for (A) a self-aligned polysilicon thin film transistor formed by the inventive process; and (B) an array comprising (i) self-aligned polysilicon thin film transistors (TFTs) arranged in rows and columns; (ii) pixels addressed by a TFT; and (iii) scan lines disposed perpendicular to data lines. The data lines connect the drains of a line of TFTs and the scan lines connect to the electrode of a line of TFTs.

USE - For manufacturing a top gate, self-aligned polysilicon thin film transistor useful as a switch for controlling the charging and discharging of a liquid crystal cell to determine the amount of light transmitted.

ADVANTAGE - The invention allows the use of low temperature substrates and requires only a single laser anneal to activate the source-drain region and to crystallize the active silicon.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the top gate self-aligned TFT.

Substrate 10

Dummy gate 20

Isolation oxide layer 30

Active silicon layer 40

PFDS:

AL

ABTX:

DETAILED DESCRIPTION - Manufacture of a top gate, self-aligned polysilicon thin film transistor comprises (a) depositing a dummy gate (20) on an optically transparent substrate (10); (b) depositing an isolation oxide layer (30) over the dummy gate and the substrate; (c) depositing an active silicon layer (40) over the isolation oxide layer; (d) depositing a mask layer over the active silicon layer and patterning the mask layer by backside exposure in which the dummy gate acts as an optical mask; (e) ion implanting dopant material to form a source-drain region; (f) laser annealing to simultaneously crystallize the active layer into polysilicon and to activate the source-drain region; (g) depositing a transparent conductive gate over the gate oxide layer; and (h) depositing a photoresist layer and patterning the photoresist layer by backside exposure in the dummy gate that acts as optical mask.

INDEPENDENT CLAIMS are

also included for (A) a self-aligned polysilicon thin film transistor formed by the inventive process; and (B) an array comprising (i) self-aligned polysilicon thin film transistors (TFTs) arranged in rows and columns; (ii) pixels addressed by a TFT; and (iii) scan lines disposed perpendicular to data lines. The data lines connect the drains of a line of TFTs and the scan lines connect to the electrode of a line of TFTs.

ABTX:

USE - For manufacturing a top gate, self-aligned polysilicon thin

film
transistor useful as a switch for controlling the charging and
discharging of a
liquid crystal cell to determine the amount of light transmitted.

ABTX:
DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional
view
illustrating the top gate self-aligned TFT.

ABTX:
Dummy gate 20

ABEQ:
DETAILED DESCRIPTION - Manufacture of a top gate, self-aligned
polysilicon thin
film transistor comprises (a) depositing a dummy gate (20) on an
optically
transparent substrate (10); (b) depositing an isolation oxide
layer (30) over
the dummy gate and the substrate; (c) depositing an active
silicon layer (40)
over the isolation oxide layer; (d) depositing a mask layer over
the active
silicon layer and patterning the mask layer by backside exposure
in which the
dummy gate acts as an optical mask; (e) ion implanting dopant
material to form
a source-drain region; (f) laser annealing to simultaneously
crystallize the
active layer into polysilicon and to activate the source-drain
region; (g)
depositing a transparent conductive gate over the gate oxide
layer; and (h)
depositing a photoresist layer and patterning the photoresist
layer by backside
exposure in the dummy gate that acts as optical mask.

INDEPENDENT CLAIMS are
also included for (A) a self-aligned polysilicon thin film
transistor formed by
the inventive process; and (B) an array comprising (i)
self-aligned polysilicon
thin film transistors (TFTs) arranged in rows and columns; (ii)
pixels
addressed by a TFT; and (iii) scan lines disposed perpendicular
to data lines.
The data lines connect the drains of a line of TFTs and the scan
lines connect
to the electrode of a line of TFTs.

ABEQ:

USE - For manufacturing a top gate, self-aligned polysilicon thin film transistor useful as a switch for controlling the charging and discharging of a liquid crystal cell to determine the amount of light transmitted.

ABEQ:

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the top gate self-aligned TFT.

ABEQ:

Dummy gate 20

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203360

(P2001-203360A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 N
21/336			6 1 7 J
			6 2 7 E
			6 2 7 G

審査請求 未請求 請求項の数12、OL 外国語出願 (全 24 頁)

(21) 出願番号	特願2000-352356 (P2000-352356)	(71) 出願人	590000798 ゼロックス コーポレーション XEROX CORPORATION アメリカ合衆国 コネティカット州・スタ ンフォード・ロング リッチ ロード・ 800
(22) 出願日	平成12年11月20日 (2000. 11. 20)	(72) 発明者	ジャクソン ホー アメリカ合衆国 94301 カリフォルニア 州 パロ アルト ハミルトン アベニュー 1168
(31) 優先権主張番号	4 4 2 4 0 7	(74) 代理人	100079049 弁理士 中島 淳 (外1名)
(32) 優先日	平成11年11月18日 (1999. 11. 18)		
(33) 優先権主張国	米国 (US)		

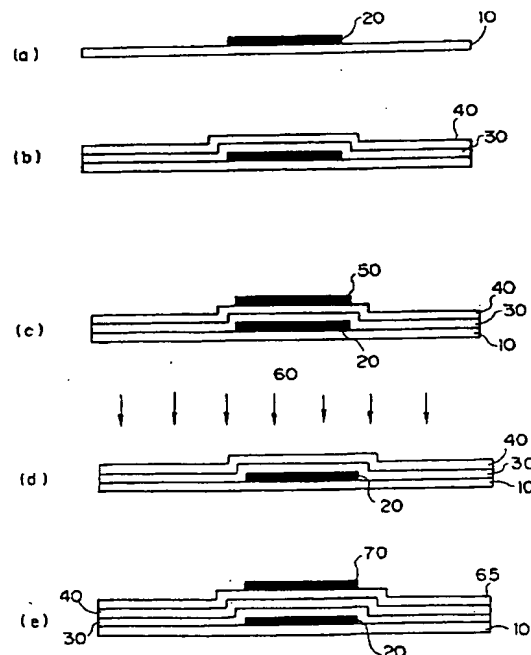
最終頁に続く

(54) 【発明の名称】 トップゲートセルフアラインポリシリコン薄膜トランジスタ、その製造方法、及びアレイ

(57) 【要約】 (修正有)

【課題】単一レーザーアニールだけでソース・ドレイン領域を活性化し、アクティブシリコン層40を結晶化するトップゲートポリシリコンTFTの製造方法を提供する。

【解決手段】光透過性基板10上にダミーゲート20を形成し、それを絶縁酸化物層30とアクティブシリコン層40、フォトレジスト膜で覆い、裏面露によりレジスト膜をパターニングする。次に、このレジストパターンをマスクとしてアクティブシリコン層40に不純物イオンを注入し、ソース・ドレイン領域を形成する。レジストパターンを除去後、アクティブシリコン層40をレーザーアニールにより結晶化し、不純物の活性化を図る。更に、絶縁膜60、ゲート膜、フォトレジスト膜を形成し、再度の裏面露光によりゲート電極70形成用のレジストパターンを形成する。



【特許請求の範囲】

【請求項1】 トップゲートセルフアラインポリシリコン薄膜トランジスタの製造方法であって、光透過性の基板上にダミーゲートを付着させるステップと、

前記ダミーゲートと前記基板とを覆うように絶縁酸化物層を付着させるステップと、

前記絶縁酸化物層を覆うようにアクティブシリコン層を付着させるステップと、

前記アクティブシリコン層を覆うようにマスク層を付着させ、前記ダミーゲートを光学マスクとする裏面露光によって前記マスク層をパターンニングするステップと、ドーパント材をイオン注入してソースドレイン領域を形成するステップと、

前記アクティブシリコン層を結晶化させてポリシリコンを生成すると同時に、ソースドレイン領域を活性化させるためにレーザアニールするステップと、

前記ポリシリコン層を覆うようにゲート酸化膜層を付着させるステップと、

前記ゲート酸化膜層を覆うように透明な導電性ゲートを付着させるステップと、

フォトリソ層を付着させ、前記ダミーゲートを光学マスクとする裏面露光によって前記フォトリソ層をパターンニングするステップと、

を備える、方法。

【請求項2】 前記方法がCMOSプロセスに組み込まれており、

マスク層を付着させる前記ステップが、

シリコン窒化物又はシリコン酸化物を含む第1の誘電体マスク層を付着させるとともにパターンニングするステップと、

第2のマスク層を付着させるとともにパターンニングするステップと、

イオン注入してN型の不純物領域とP型の不純物領域を形成するステップと、

を更に備える、請求項1に記載の方法。

【請求項3】 前記ダミーゲートが紫外線を遮断するのに十分な厚さを有する、請求項1に記載の方法。

【請求項4】 前記絶縁酸化物層が、300乃至1000nmの厚さになるように付着されるとともに誘電体材料を有する、請求項1に記載の方法。

【請求項5】 前記アクティブシリコン層が、約50乃至100nmの厚さになるように付着される、請求項1に記載の方法。

【請求項6】 前記方法が、レーザアニール直後のステップとして水素処理のステップを更に含む、請求項1に記載の方法。

【請求項7】 セルフアラインポリシリコン薄膜トランジスタの製造方法であって、

最上面が光透過性である基板を提供するステップと、

前記基板の最上面上にダミーゲートを付着させるステップと、

絶縁酸化物層を付着させるステップと、

前記絶縁酸化物層を覆うようにアクティブシリコン層を付着させるステップと、

前記アクティブシリコン層を覆うようにマスク層を付着させるステップと、

最初に底面を透過するように向けられた放射光に前記マスク層を露光し、その際、前記ダミーゲートが光マスクとして作用するステップと、

前記マスク層を現像して、前記ダミーゲートと正確にアラインメントさせてマスクを形成するステップと、

ドーパント材をイオン注入して、ソースドレイン領域を形成するステップと、

前記マスクを除去し、レーザアニールにより前記アクティブ層を結晶化させてポリシリコンを生成すると共にソースドレイン領域を活性化させるステップと、

前記ポリシリコン層を覆うようにゲート酸化膜層を付着させるステップと、

前記ゲート酸化膜層を覆うように導電性の透明なゲートを付着させるステップと、

フォトリソ層を付着させるステップと、

最初に底面を透過するように向けられた放射光に前記フォトリソ層を露光し、その際、前記ダミーゲートが光マスクとして作用するステップと、

前記フォトリソ層を現像し、フォトリソマスクを形成することにより、前記ゲートを画定するステップと、

第1のバッシベーション層を付着させるとともにコンタクト開口を形成するステップと、

メタル層を前記ポリシリコン上に付着させて前記ソースドレイン領域に接触させ、前記メタル層をパターンニングするとともにエッチングすることによって前記ゲートとオーバーラップさせないようにするステップと、

前記メタル層と前記ポリシリコン層を第2のバッシベーション層によって被覆するステップと、

前記バッシベーション層から前記メタル層に至るまでボンドパッドをエッチングし形成するステップと、

を備える、方法。

【請求項8】 光透過性の基板と、

前記基板の一部の上のダミーゲートと、

前記ダミーゲートと前記基板とを覆う絶縁酸化物層と、

ドーパされたソース、ドーパされたドレイン、及びドーパされないチャネルを有する、前記絶縁酸化物層上のドーパされたポリシリコン層と、

前記ドーパされたポリシリコン層上のゲート酸化膜層と、

前記ゲート酸化膜層上のセルフアライン導電性ゲートと、

を備える、セルフアラインポリシリコン薄膜トランジスタ

タ。

【請求項9】 前記ダミーゲートが紫外線を遮断する材料を有する、請求項8に記載のトランジスタ。

【請求項10】 前記ダミーゲートが金属、シリコン、又はルゲートフィルタを有する、請求項8に記載のトランジスタ。

【請求項11】 前記ダミーゲートが紫外線を遮断するのに十分な厚さを有する、請求項8に記載のトランジスタ。

【請求項12】 縦横に並んだ複数のセルフアラインポリシリコン薄膜トランジスタを備えるアレイであって、各薄膜トランジスタが、光透過性の基板と、

前記基板の一部の上のダミーゲートと、

前記ダミーゲートと前記基板とを覆う絶縁酸化物層と、ドーパされたソース、ドーパされたドレイン、及びドーパされないチャネルを有する、前記絶縁酸化物層上のドーパされたポリシリコン層と、

前記ドーパされたポリシリコン層上のゲート酸化膜層と、

前記ゲート酸化膜層上のセルフアライン導電性ゲートと、

各画素が薄膜トランジスタによってアドレスされる、複数の画素と、

1列の薄膜トランジスタのドレインに接続される複数のデータラインに略垂直に配置され、1列の薄膜トランジスタの電極と接続される、複数の走査ラインと、を備える、アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に、セルフアライン（自己整合型）ポリシリコン薄膜トランジスタとその製造方法に係り、より詳細には、ダミーゲートを用いたトップゲートセルフアラインポリシリコン薄膜トランジスタに関する。

【0002】

【従来の技術】現在のアクティブマトリックス液晶ディスプレイ（LCD）技術において、各画素は、透明のガラス基板上に製造されるトランジスタによってアドレスされる。この薄膜トランジスタ（TFT）は、透過された光の量を決定するために液晶セルの帯電及び放電を制御するスイッチとして作動する。従来のTFTは、アモルファスシリコン（非晶質シリコン）（a-Si）又はポリシリコン（多結晶シリコン）（poly-Si）型のいずれかである。現在、a-Si TFT（アモルファスシリコン薄膜トランジスタ）が、アクティブマトリックス液晶ディスプレイに使用される支配的技術である。しかしながら、a-Si TFTよりも、poly-Si TFT（ポリシリコン薄膜トランジスタ）にはいくつかの利点がある。第一に、poly-Si TF

Tのディスプレイは、その駆動回路をパネルと同じ基板上に同時に形成し得るので、コストがあまりかからない。第二に、poly-Siは高画素濃度においてもより高い口径比のディスプレイを提供し得る。第三に、poly-Si TFTのキャリアモビリティ（移動度）は、現在のところ、a-Si TFTのその200倍を超える。そして、poly-Si TFTは、より高い速度及び周波数にて作動するので、ディスプレイ周囲に更なる回路を作製することができ、これにより、製造歩留りの問題を低減し、ディスプレイコストを下げることができる。poly-Si技術の他の利点は、ディスプレイの光遮断領域を最小限にできる縮小されたTFTサイズにあり、これによって、より高い明るさと解像度が得られる。

【0003】図1は、従来のトップゲートセルフアラインpoly-Si TFTを示す。例えば、低圧化学気相成長（LPCVD）によって、アクティブシリコンの層を熔融石英基板101上へ蒸着する。次に、この層を、窒素雰囲気中で、600°Cで4時間アニールし、非晶質シリコンを結晶化させて、ポリシリコン102を生成する。

【0004】次に、多結晶シリコン層をパターニングしてアイランドを形成する。次に、ポリシリコン層を覆うようにゲート酸化膜層103を付着させ、ゲート酸化膜層103を覆って、ポリシリコン層、又は、例えばクロム製のメタル層を蒸着し、パターン形成し、エッチングして、ゲート104を形成する。イオン注入を用いて、燐イオンなどのドーパントを、ゲート104によってブロックされた部分以外において、酸化物層を貫通させ、ポリシリコン102に定着させる。これによって、ポリシリコン層内にn⁺型のソース及びドレイン領域が形成される。低温酸化ケイ素（LTO）の誘電体層105をLPCVDによって蒸着させる。この構造体を再びアニールしてソース及びドレイン領域を活性化させる。得られた構造体において、ソース107及びドレイン108領域は、高濃度にドーパされたポリシリコンとなる一方、チャネル領域109はドーパされないまま、ゲートと正確にアラインメント（位置合わせ）される。

【0005】トップゲートpoly-Si TFT（ポリシリコン薄膜トランジスタ）を完成させるには、ビアホールを、LTO（低温酸化ケイ素）層105及びゲート酸化膜層103を介してソース／ドレイン領域まで、エッチングし、導電プラグ106を埋めて、（図示されない）回路の他の部分に接続する。最後に、平行平板型プラズマリアクタ内で、電力密度0.21W/cm²及び周波数30kHzで、H₂とArガスの混合物中、基板温度350°Cで、約8時間、水素パッシベーションが実行される。これによって、水素原子がLTO層105を介して拡散し、ポリシリコンのチャネル領域に到達する。

【0006】しかしながら、この従来の方法ではいくつかの制約を受けることになる。イオン注入によってシリコン層にはダメージが与えられ、低コストのために望ましいとされる低温ガラス基板と相容れないより高いアニール温度を用いてシリコン層を再成長させる必要がある。さらに、長時間の水素処理ステップによって、この処理に対するコストが高くなり、処理時間も長くなる。

【0007】米国特許第5,602,047号（'047号特許）はエキシマレーザを用いてボトムゲートTFTを製造する方法を開示している。エキシマレーザは、アクティブシリコンを結晶化すると同時に、ソースドレイン領域を活性化すると同時に、この'047号特許に開示されているTFTは「ボトムゲート」構造である。前述された「トップゲート」構造においてゲート電極と酸化物層がチャネル領域の上方にあるのとは対照的に、「ボトムゲート」ではゲート電極と酸化物層がチャネル領域の下方におかれる。ボトムゲート構造は、一般的に、アルミニウム、タンタル、クロム、又はモリブデン製のメタルゲートを使用する。トップゲート構造は、アクティブ層の最高品質部（最上部）がゲート誘電体層に

対向していないために性能上に問題があるボトムゲート構造よりも一般的に好ましいとされる。更に、メタルゲートを使用すると、レーザ光がメタルゲートによって反射され基板に吸収される界面でのクラッキング（ひび割れ）等の熱膨張係数の差による問題が生じ得る。

【0008】

【発明が解決しようとする課題】以上のことを考慮に入れて、低温基板を使用でき、単一レーザアニールだけでソースドレイン領域を活性化してアクティブシリコンを結晶化することができる、セルフアライン（自己整合型）トップゲートpoly-Si TFTを製造する方法が必要とされる。

【0009】

【課題を解決するための手段】本発明は、セルフアラインポリシリコン薄膜トランジスタの製造方法に関する。この方法は、最上面が光透過性である基板を提供し、この基板の最上面にダミーゲートを付着させ、その上に絶縁酸化物層を付着させるステップを有する。次に、この絶縁酸化物層を覆うようにアクティブシリコン層を付着させ、アクティブシリコン層を覆うようにマスク層を付着させ、このマスク層を、ダミーゲートが光マスクとして作用する底面を最初に透過するように向けられた放射光に露光する。次に、このマスク層を現像してダミーゲートと正確にアラインメントさせてマスクを形成する。ドーパント材を注入して、ソースドレイン領域を形成し、マスクを除去し、レーザアニールしてアクティブ層を結晶化させてポリシリコンを生成し、ソースドレイン領域を活性化させる。次に、ゲート酸化膜層をポリシリコン層上に付着させ、n⁺ゲートをゲート酸化膜層上に付着させる。フォトリソ層を付着させ、このフォ

トリソ層をダミーゲートが光マスクとして作用する底面を最初に透過するように向けられた放射光に露光する。フォトリソ層を現像してフォトリソマスクを形成してゲートを画定し、第1のバッシベーション層を付着させ、コンタクト開口を形成する。最後に、メタル層をポリシリコン上に付着させてソースドレイン領域と接触させ、パターニングし、エッチングすることによって、メタル層はゲート酸化膜層とオーバーラップしない。メタル層とポリシリコン層を第2のバッシベーション層によって被覆する。次に、ボンドパッドをエッチングしてバッシベーション層からメタル層まで貫通するように形成する。

【0010】他の態様においては、本発明は、光透過性の基板と、ダミーゲートと、絶縁酸化物層と、ドーパされたソース、ドーパされたドレイン、及びドーパされないチャネルを有するドーパされたポリシリコン層と、ゲート酸化膜層と、セルフアライン導電性ゲートと、を備えるセルフアラインポリシリコン薄膜トランジスタに関する。

【0011】以上の一般的な記述及び以下の詳細な説明は共に例示のみを目的とするものであり、クレイムによって本発明はより詳細に理解されるよう意図するものである。

【0012】添付図面は、本発明をよりよく理解するために提供され、本明細書に組み込まれるとともにその一部を構成し、本発明のいくつかの実施の形態を図解し、これらの図面を提供し、それらについて説明することによって、本発明の目的、利点、及び原理が、より一層明白に理解されるものである。

【0013】

【発明の実施の形態】添付図面を参照することによって、本発明の好ましい実施の形態が以下に詳細に示される。

【0014】図2の(a)乃至(e)は、本発明の一つの態様によるセルフアラインポリシリコンTFTを製造する方法を示す。図2(a)は、基板10上にダミーゲート20を形成し、従来の技術において公知のフォトリソグラフィプロセスを使ってパターニングするステップを概略的に示す。基板10としては、ガラス製が好ましいが、任意の透過性又は半透過性の材料であっても良い。次に、ダミーゲート材料を基板上に付着させ、パターニングすることによってダミーゲート20を形成する。ダミーゲート材料には、例えば、シリコン、金属、又はルゲートフィルタが使用され、紫外線を遮断できれば、いずれの材料であってもよい。ゲートの厚さは選択する材料によって異なるが、少なくとも紫外線を遮断するだけの厚さを有する必要がある。基板の付着によってデバイスを汚染しないようにバッファ層を形成するため、選択的に、ダミーゲート20を付着させる前に、酸化物層を基板10上に付着させてもよい。

【0015】次に、酸化物層30をダミーゲートとこのダミーゲートによって覆われていない基板の部分上に付着させる。これは、図2(b)に示されている。酸化物層は、ダミーゲート構造がレーザアニールの影響によるダメージを受けないようにダミーゲートを熱的に絶縁するように作用する。酸化物層材料は、任意の透明な誘電体材料であってよい。酸化物層材料は、プラズマCVD、スパッタリング、又は低温CVDなどの従来の方法によって、約300乃至1000nm、好ましくは、約700nmの厚さになるように付着させることができ

る。
【0016】従来の方法を用いて、絶縁酸化物層を覆うように、アクティブシリコン層40を厚さ約50乃至100nmになるように付着させる。次に、シリコン層を覆うようにマスク層を付着させる。マスク層は、例えば、基板を介して光に露光することによってパターンニングされるフォトレジストである。この裏面露光の間、ダミーゲートは光マスクとして作用する。次に、図2(c)に示されるように、フォトレジストはダミーゲートと正確にアラインメントされてマスク50を形成する。次に、ソースドレイン領域をイオン注入によって形成する。

【0017】CMOSプロセスに関しては、シリコン窒化物又はシリコン酸化物の誘電体層をマスク層として使用してもよい。その際、リン及びボロンそれぞれのイオン注入を用いてnチャネルとpチャネルのデバイスを形成するには、フォトレジストを使った二つの更なるマスクングステップが必要となる。

【0018】次に、マスクを除去し、この構造をレーザアニールし、アクティブシリコンを結晶化してポリシリコンを生成すると同時に、ソースドレイン領域中のドーパントを活性化させる。これは、図2(d)において概略的に示されており、図中、矢印60はレーザパルスを示している。

【0019】本発明の一つの利点は、水素処理をプロセスにおけるこの時点で実行してもよいことにある。シリコン層が露光されることから、水素処理の時間が短縮され、低温で行なうことができる。水素処理は従来の公知の技術によって実行してもよい。

【0020】このプロセスの残りのステップは従来の方法によって達成される。まず、多結晶シリコンをパターンニングしてアイランドを形成する。次に、図2(e)に示されるように、ゲート酸化膜層65がプラズマCVD、LPCVD、又はスパッタリングによって付着される。次に、ゲート70は、任意の導電性の透明な材料で形成される。ゲート材料の例としては、n⁺又はp⁺のいずれかにドーパされたシリコン、及びITOがあげられる。次に、フォトレジスト層が付着され、裏面露光によって放射光に露光され、エッチングされて、ゲート70を形成する。ダミーゲートは再び光マスクとして作用す

る。

【0021】最後に、図3に断面が示されるデバイスに見られるように、第1のバッシベーション層80が付着され、コンタクト開口が形成され、メタル層が蒸着される。メタル層をパターニングしエッチングして局所的及び全域的相互接続90を形成する。次に、第2のバッシベーション層(図示せず)を付着させ、エッチングすることによって、この第2のバッシベーション層からメタル層に至るボンドパッドを露出させる。

10 【0022】本発明による他の実施の形態は、トップゲートセルフアラインTFTのアレイ40である。図4に示すように、TFT41が縦横方向に配列されている。アレイ40は、さらに、各画素がTFTによってアドレスされる複数の画素43を有する。アレイ40には、走査ライン45及びデータライン47も含まれる。走査ライン45及びデータライン47は、一般にマトリクス配列において互いにほぼ垂直なアレイ内に配置される。走査ライン45は、TFT41の横列(或いは縦列)のゲート電極に連結され、これらのライン上の信号はTFT41を導電性又は非導電性にするために用いられる。データライン47はTFT41の縦列(或いは横列)のドレインに連結される。

20 【0023】本発明のトップゲートセルフアラインTFTとその製造方法において、本発明の精神や範囲を逸脱することなく、種々の変形や変更を加えることが可能であることが当業者には容易に理解されるであろう。従って、添付クレームとその同等の範囲内で本発明の範囲がその変更及び変形に及ぶことを意図するものである。

【図面の簡単な説明】

30 【図1】従来の技術のトップゲートTFTを示す断面図である。

【図2】(a)は、ダミーゲートを付着しパターンニングするステップを概略的に示す断面図である。(b)は、絶縁酸化物層とアクティブシリコン層を付着するステップを概略的に示す断面図である。(c)は、フォトレジスト層を付着させ、裏面露光し、イオン注入するステップを概略的に示す断面図である。(d)は、アクティブ層とソース及びドレイン領域をレーザによって結晶化するステップを概略的に示す断面図である。(e)は、ゲート酸化膜層、n⁺ゲート層、フォトレジスト層を付着させ、裏面露光、エッチングしてゲートを形成するステップを概略的に示す断面図である。

【図3】本発明の一つの実施の形態によるトップゲートセルフアラインTFTを概略的に示す断面図である。

【図4】本発明の他の実施の形態によるトップゲートセルフアラインTFTのアレイの概略的な図である。

【符号の説明】

10 基板

20 ダミーゲート

30 酸化物層

(6)

特開2001-203360

10

9

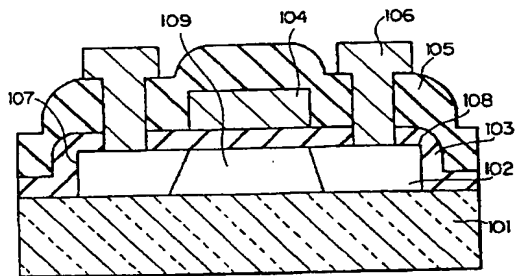
40 アクティブシリコン層

50 マスク

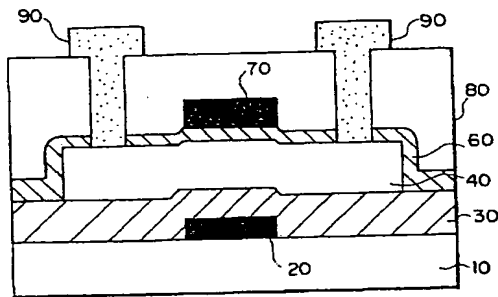
60 レーザパルス

70 ゲート

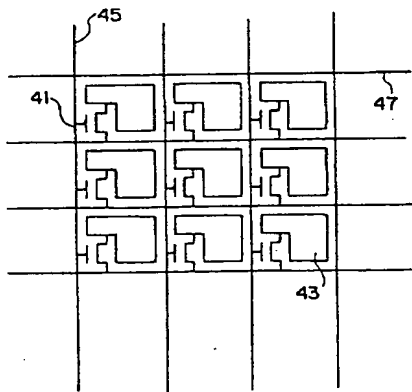
【図1】



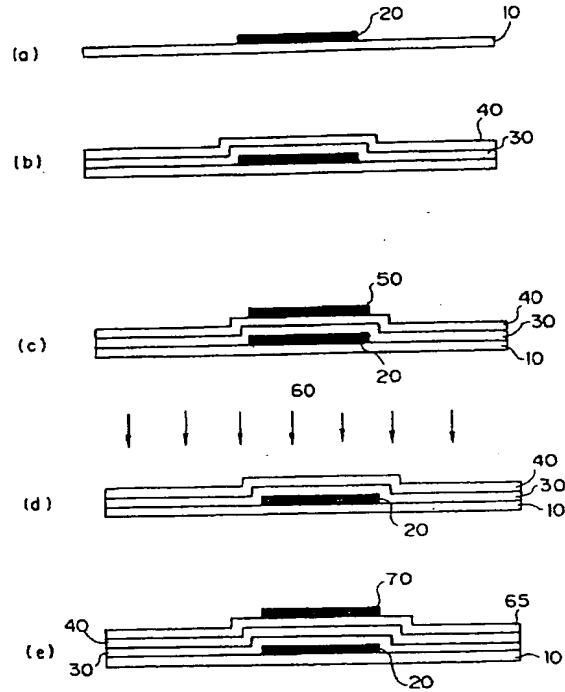
【図3】



【図4】



【図2】



フロントページの続き

(72)発明者 ロナルド ティー. フルクス
アメリカ合衆国 94040 カリフォルニア
州 マウンテン ビュー リー ドライブ
1672

【外国語明細書】

A TOP GATE SELF-ALIGNED POLYSILICON TFT AND A METHOD
FOR ITS PRODUCTIONFIELD OF THE INVENTION

The present invention relates generally to a self-aligned polysilicon thin film transistor and its method of fabrication, and more particularly a top gate self-aligned polysilicon thin film transistor using a dummy gate and its method of fabrication.

BACKGROUND OF THE INVENTION

In current active matrix liquid crystal display (LCD) technology, each pixel is addressed by a transistor fabricated on a transparent glass substrate. This thin film transistor (TFT) serves as a switch controlling the charging and discharging of a liquid crystal cell to determine the amount of light transmitted. Conventional TFTs are either amorphous silicon (a-Si) or polysilicon (poly-Si). Currently, a-Si TFTs are the dominant technology used for active matrix liquid crystal displays. Poly-Si TFTs, however, offer several advantages over a-Si technology. First, poly-Si TFTs displays are less costly, since its driver circuits can be formed at the same time on the same substrate as the panel. Second, poly-Si can provide higher aperture ratio displays at high pixel densities. Third, the carrier mobility of poly-Si TFTs are, at the present time, more than 200 times that of a-Si TFTs. And since poly-Si TFTs operate at higher speeds and frequencies, additional circuits can be fabricated on the periphery of the display reducing production yield problems and lowering the cost of the display. Another advantage of poly-Si technology is reduced TFT size which allows the light

blocking areas of the display to be minimized resulting in higher brightness and resolution.

A conventional top gate self-aligned poly-Si TFT is shown in FIG. 1. A layer of active silicon is deposited onto a fused quartz substrate (101) by, for example, low-pressure chemical vapor deposition (LPCVD). This layer is then annealed at a temperature of 600°C for four hours in a nitrogen atmosphere to cause the amorphous silicon to crystallize into polysilicon (102).

The polycrystalline silicon layer is then patterned into an island. A gate oxide layer (103) is then deposited over the polysilicon layer and a polysilicon layer or metal layer of, for example chromium, is deposited over the gate oxide layer, patterned, and etched to form a gate (104). Ion implantation is used to cause dopants such as phosphorous ions to penetrate the oxide layer (103) and settle into the polysilicon (102), except where the dopants are blocked by the gate (104). This forms N⁺ type source and drain regions in the polycrystalline silicon layer. A dielectric layer (105) of low temperature silicon oxide (LTO) is then deposited by LPCVD. The structure is then annealed again to activate the source and drain regions. In the resultant structure, source and drain regions (107) and (108) become heavily doped polysilicon while channel region (109) remains undoped and exactly aligned with the gate.

To complete the top gate poly-Si TFT via holes are etched through the LTO layer (105) and the gate oxide layer (103) down to the source/drain regions, filled with conductive plugs (106), and connected to other parts of the circuit (not

shown). Finally, a hydrogen passivation is carried out for about 8 hours in a parallel-plate plasma reactor at a substrate temperature of 350°C in an H₂ and Ar gas mixture at a power density of 0.21 W/cm² and a frequency of 30 kHz. This allows hydrogen atoms to diffuse through the LTO (105) layer to reach the channel region of the polysilicon.

This prior art method, however, suffers several limitations. Ion implantation damages the silicon layer and it must be regrown using a higher anneal temperature that may not be compatible with low temperature glass substrates that are desirable because of lower cost. Furthermore, the long hydrogenation step adds cost and time to the process.

U.S. Patent 5,602,047 (the '047 patent) discloses a method for making a bottom gate TFT using an excimer laser that simultaneously crystallizes the active silicon and activates the source-drain region. The TFT disclosed in the '047 patent, however, is a "bottom gate" structure. In contrast to the "top gate" structure previously described in which the gate electrode and oxide layer reside over the channel region, a "bottom gate" TFT has a gate electrode and oxide layer under the channel region. Bottom gate structures typically use a metal gate of aluminum, tantalum, chromium or molybdenum. Top gate structures are generally preferred over bottom gate structures which suffer performance problems because the highest quality (the top) portion of the active layer is not against the gate dielectric. Additionally, the use of a metal gate can cause problems due to the differences in the coefficient of thermal expansion such as

cracking at the interface where laser light is reflected by the metal gate and absorbed by the substrate.

In light of the foregoing, there is a need for a method to make self-aligned top gate poly-Si TFTs that allows the use of low temperature substrates and requires only a single laser anneal to activate the source-drain region and to crystallize the active silicon.

SUMMARY OF THE INVENTION

Accordingly, the present invention is directed to a method of making a self-aligned polysilicon thin film transistor. The method includes the steps of providing a substrate that is optically transparent with a top surface, depositing a dummy gate on the top surface of the substrate, and depositing an isolation oxide layer. Next, an active silicon layer is deposited over the isolation oxide, a mask layer is deposited over the active silicon layer, and the mask layer is exposed to radiation directed to pass first through the bottom surface where the dummy gate acts as an optical mask. The mask layer is then developed to form a mask in exact alignment with the dummy gate. Dopant material is implanted to form a source-drain region, the mask is removed, and laser annealing to crystallize the active layer into polysilicon and to activate the source-drain regions. A gate oxide layer is then deposited over the polysilicon layer and an n+ gate is deposited over the gate oxide layer. A photoresist layer is deposited and exposed to radiation directed to pass first through the bottom surface where

the dummy gate acts as an optical mask. The photoresist layer is developed to form a photoresist mask to define the gate, a first passivation layer is deposited, and contact openings made. Finally, a metal layer is deposited on the polysilicon to contact the source-drain region, patterned, and etched so it does not overlap the gate oxide. The metal layer and polysilicon are coated with a second passivation layer. Bond pads are then etched and formed through the passivation layer to the metal layer.

In another aspect, the invention is directed to a self-aligned polysilicon thin film transistor comprising an optically transparent substrate, a dummy gate, an isolation oxide layer, a doped polysilicon layer having a doped source, a doped drain, and an undoped channel, a gate oxide layer, and a self-aligned conductive gate.

It is to be understood that both the foregoing general description and the following detailed description are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

The accompanying drawings are included to provide a further understanding of the invention and are incorporated in and constitute a part of this specification, illustrate several embodiments of the invention and together with the description serve to explain the principles of the invention.

BRIEF DESCRIPTION OF THE DRAWINGS

The accompanying drawings, which are incorporated in and constitute a part of this specification, illustrate an embodiment of the invention and, together with the description, serve to explain the objects, advantages, and principles of the invention.

FIG. 1 is a cross-sectional view that illustrates a prior art top gate TFT.

FIG. 2a is a cross-sectional view that schematically illustrates the step of depositing and patterning the dummy gate.

FIG. 2b is a cross-sectional view that schematically illustrates the step of depositing the isolation oxide layer and the active silicon.

FIG. 2c is a cross-sectional view that schematically illustrates the step of depositing the photoresist, backside exposing and ion implantation.

FIG. 2d is a cross-sectional view that schematically illustrates the step of laser crystallizing the active layer and the source and drain region.

FIG. 2e is a cross-sectional view that schematically illustrates the step of depositing the gate oxide, the N⁺ gate, the photoresist, backside exposing and etching to form the gate.

FIG. 3 is a cross-sectional view that schematically illustrates a top gate self-aligned TFT according to one embodiment of the present invention.

FIG. 4 is a schematic illustration of an array of top gate self-aligned TFTs according to another embodiment of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Reference will now be made in detail to the preferred embodiments of the invention, examples of which are illustrated in the accompanying drawings.

FIGS. 2a-e illustrate the method of making a self-aligned poly-Si TFT according to one aspect of the present invention. FIG. 2a schematically illustrates the step of forming a dummy gate (20) on a substrate (10) and patterning using photolithography processes known in the art. The substrate (10) is preferably glass, but may be any transparent or semi-transparent material. The dummy gate (20) is then formed by depositing the dummy gate material onto the substrate and patterning to form a dummy gate (20). The dummy gate material may be any material that blocks ultraviolet light, for example, silicon, metal, or rugate filters. The thickness of the gate depends on the material chosen, but should at a minimum be thick enough to block ultraviolet light. An oxide may optionally be deposited onto the substrate (10) prior to depositing the dummy gate (20) in order to form a buffer layer for additional isolation of the device from possible substrate contamination.

An oxide layer (30) is then deposited over the dummy gate and the portion of the substrate not covered by the dummy gate. This is shown in FIG. 2b. The oxide layer serves to thermally isolate the dummy gate structure from the damaging effects of laser annealing. The oxide layer material can be any transparent dielectric material. It can be deposited by conventional means such

as plasma CVD, sputtering, or low temperature CVD to a thickness of about 300-1000 nm and, preferably, to thickness of about 700 nm.

An active silicon layer (40) is then deposited using conventional means over the isolation oxide to thickness of about 50 -100 nm. A mask layer is then deposited over the silicon layer. The mask layer can be, for example, photoresist that is patterned by exposure to light through the substrate. During this backside exposure, the dummy gate acts as an optical mask. The photoresist is then developed to form a mask (50) in exact alignment with the dummy gate as shown in FIG. 2c. The source-drain region is then formed by ion implantation.

For a CMOS process, a dielectric layer of silicon nitride or silicon oxide can be used as the mask layer. Two additional masking steps using photoresist are then required to form n-channel and p-channel devices using ion implantation of phosphorus and boron, respectively.

Next, the mask is removed and the structure is laser annealed to simultaneously crystallize the active silicon into polysilicon and activate the dopants in the source-drain region. This is schematically shown in FIG. 2d where arrows (60) represent the laser pulses.

One advantage of the present invention is that hydrogenation can be performed at this point in the process. Since the silicon layer is exposed, hydrogenation times are shorter and temperatures lower. Hydrogenation may be carried out by techniques known in the art.

The remaining steps of the process are accomplished by conventional means. First, the polycrystalline silicon is patterned into islands. Then, as shown in FIG. 2e, a gate oxide layer (65) is deposited by plasma CVD, LPCVD, or sputtering. A gate (70) is then formed of any conductive, transparent material. Examples of gate material include doped silicon, either n+ or p+, and ITO. A photoresist layer is then deposited, exposed to radiation by backside exposure, and etched to form the gate (70). The dummy gate again acts as an optical mask.

Finally, as shown in the device seen in cross section in Fig. 3, a first passivation layer (80) is deposited, contact openings formed, and a metal layer deposited. The metal layer is patterned and etched to form local and global interconnects (90). A second passivation layer (not shown) can then be deposited and etched to expose bond pads through the second passivation layer to metal layer.

Another embodiment consistent with the present invention is an array (40) of top gate, self-aligned TFTs. As shown in Fig. 4, the TFTs (41) are arranged in rows and columns. Array (40) further includes a plurality of pixels (43), where each pixel is addressed by a TFT (41). Array (40) also includes scan lines (45) and data lines (47). Scan lines (45) and data lines (47) are typically disposed in the array substantially perpendicular to each other in a matrix arrangement. Scan lines (45) are coupled to the gate electrodes of a row (or alternatively a column) of TFTs (41) and the signals on these lines are used to cause TFT (41)

to become conductive or non-conductive. The data lines (47) are coupled to the drains of a column (or alternatively a row) of TFTs (41).

It will be apparent to those skilled in the art that various modifications and variations can be made in the top gate, self-aligned TFT and in the process of manufacturing the present invention without departing from the spirit or scope of the invention. Thus, it is intended that the present invention cover the modifications and variations of this invention provided they come within the scope of the appended claims and their equivalents.

What is claimed is:

1. A method of making a top gate, self-aligned polysilicon thin film transistor comprising the steps of:
 - depositing a dummy gate on an optically transparent substrate;
 - depositing an isolation oxide layer over the dummy gate and the substrate;
 - depositing an active silicon layer over the isolation oxide layer;
 - depositing a mask layer over the active silicon layer and patterning the mask layer by backside exposure wherein the dummy gate acts as an optical mask;
 - ion implanting dopant material to form a source-drain region;
 - laser annealing to simultaneously crystallize the active layer into polysilicon and to activate the source-drain region;
 - depositing a gate oxide layer over the polysilicon layer;
 - depositing a transparent conductive gate over the gate oxide layer; and
 - depositing a photoresist layer and patterning the photoresist layer by backside exposure wherein the dummy gate acts as an optical mask.
2. The method of making a self-aligned polysilicon thin film transistor according to claim 1, wherein the method is incorporated into a CMOS process and wherein the step of depositing a mask layer further comprises the steps of:

depositing and patterning a first dielectric mask layer comprising silicon nitride or silicon oxide;

depositing and patterning a second mask layer;

ion implanting to form N-type impurity regions and P-type impurity regions.

3. The method of making a self-aligned polysilicon thin film transistor according to claim 1, wherein the dummy gate has a thickness sufficient to block ultraviolet light.

4. The method of making a self-aligned polysilicon thin film transistor according to claim 1, wherein the isolation oxide layer is deposited to a thickness of 300-1000 nm and comprises a dielectric material.

5. The method of making a self-aligned polysilicon thin film transistor according to claim 1, wherein the active silicon layer is deposited to a thickness of about 50-100 nm.

6. The method of making a self-aligned polysilicon thin film transistor according to claim 1, wherein the method further includes a step of hydrogenation as the step immediately following laser annealing.

7. A method of making a self-aligned polysilicon thin film transistor comprising the steps of:
- providing a substrate that is optically transparent with a top surface;
 - depositing a dummy gate on the top surface of the substrate;
 - depositing an isolation oxide layer;
 - depositing an active silicon layer over the isolation oxide;
 - depositing a mask layer over the active silicon layer;
 - exposing the mask layer to radiation directed to pass first through the bottom surface, the dummy gate acting as an optical mask;
 - developing the mask layer to form a mask in exact alignment with the dummy gate;
 - ion implanting dopant material to form a source-drain region;
 - removing the mask and laser annealing to crystallize the active layer into polysilicon and to activate the source-drain regions;
 - depositing a gate oxide layer over the polysilicon layer;
 - depositing a conductive transparent gate over the gate oxide layer;
 - depositing a photoresist layer;
 - exposing the photoresist layer to radiation directed to pass first through the bottom surface, the dummy gate acting as an optical mask;
 - developing the photoresist layer to form a photoresist mask to define the gate;
 - depositing a first passivation layer and making contact openings;

depositing a metal layer on the polysilicon to contact the source-drain region, patterning and etching the metal layer so it does not overlap the gate; coating the metal layer and polysilicon with a second passivation layer; and etching and forming bond pads through the passivation layer to the metal layer.

8. A self-aligned polysilicon thin film transistor comprising:
 - an optically transparent substrate;
 - a dummy gate on a portion of the substrate;
 - an isolation oxide layer over the dummy gate and the substrate;
 - a doped polysilicon layer on the isolation oxide layer having a doped source, a doped drain, and an undoped channel;
 - a gate oxide layer on the doped polysilicon layer; and
 - a self-aligned conductive gate on the gate oxide layer.
9. The self-aligned polysilicon thin film transistor of claim 8, wherein the dummy gate comprises a material that blocks ultraviolet light.
10. The self-aligned polysilicon thin film transistor of claim 8, wherein the dummy gate comprises a metal, silicon, or a rugate filter.

11. The self-aligned polysilicon thin film transistor of claim 8, wherein the dummy gate has a thickness sufficient to block ultraviolet light.

12. An array comprising:

a plurality of self-aligned polysilicon TFTs arranged in rows and columns,

wherein each TFT comprises

an optically transparent substrate,

a dummy gate on a portion of the substrate,

an isolation oxide layer over the dummy gate and the substrate,

a doped polysilicon layer on the isolation oxide layer having a

doped source, a doped drain, and an undoped channel,

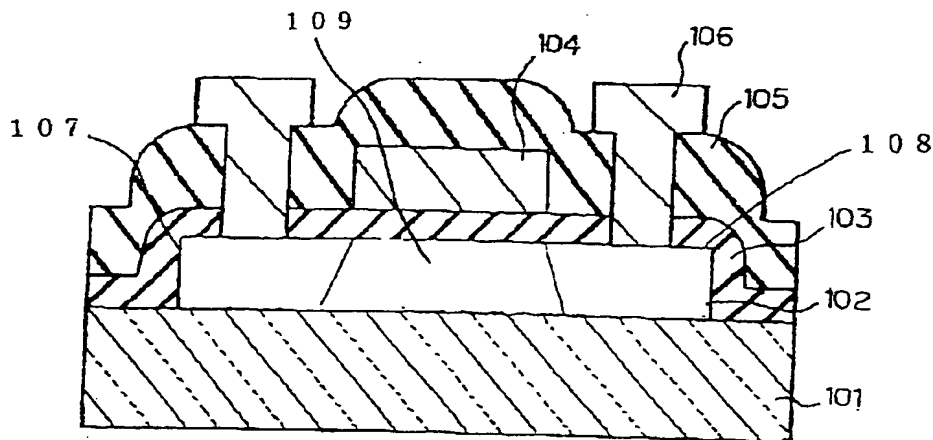
a gate oxide layer on the doped polysilicon layer, and

a self-aligned conductive gate on the gate oxide layer,

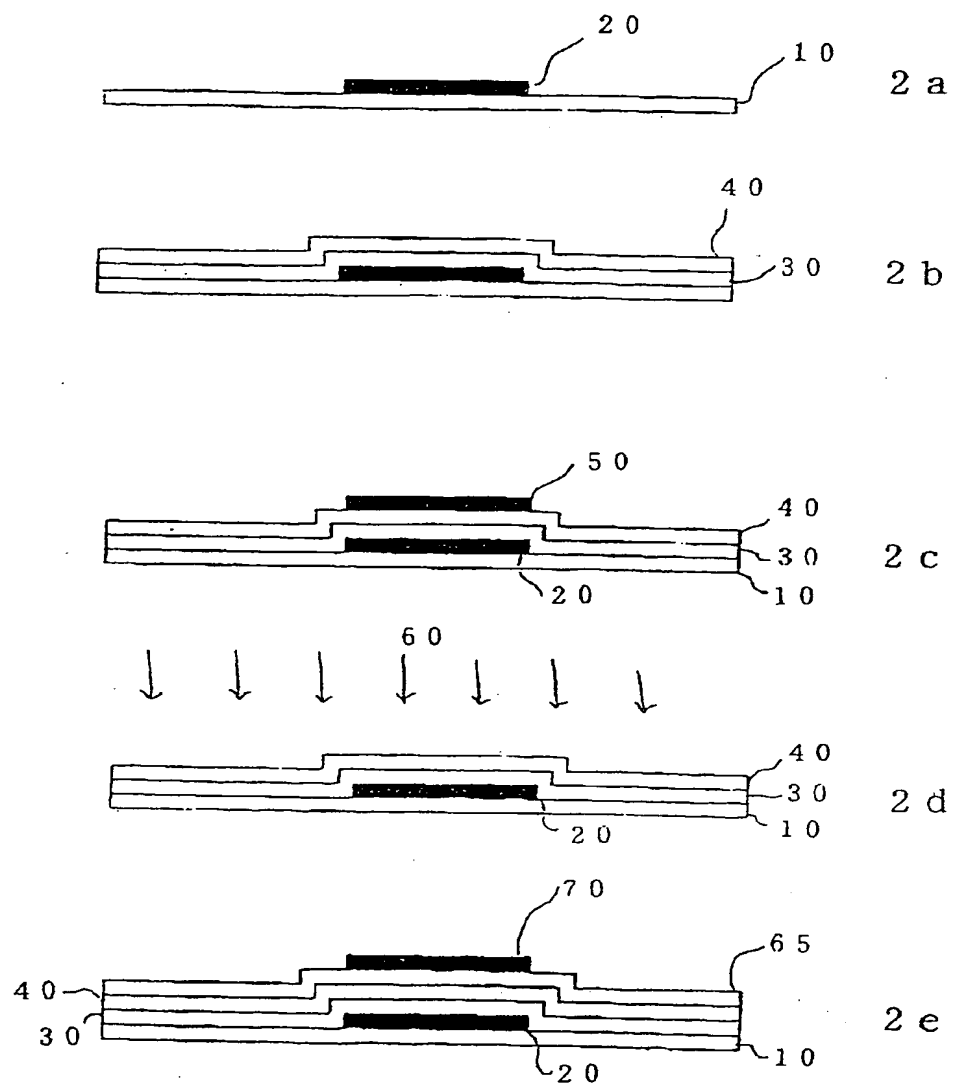
a plurality of pixels, wherein each pixel is addressed by a TFT;

a plurality of scan lines disposed substantially perpendicular to a plurality of data lines wherein the data lines connect the drains of a line of TFTs and the scan lines connect the electrode of a line of TFTs.

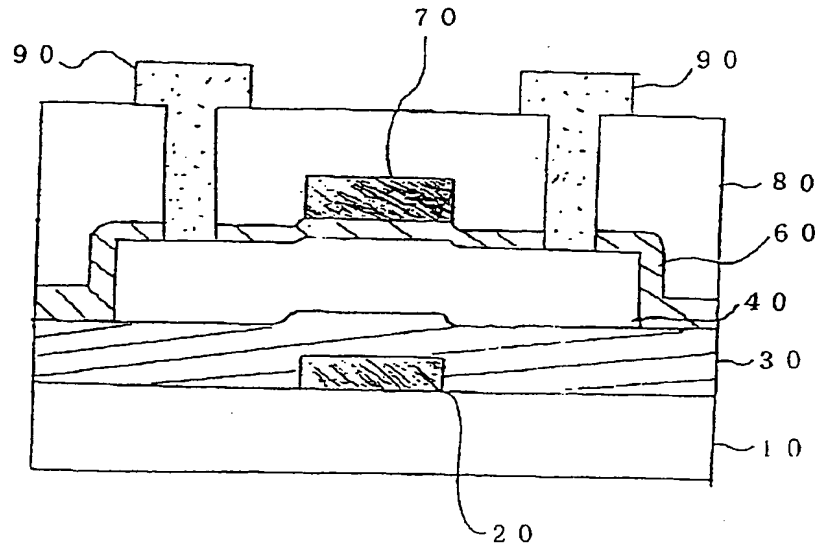
【 図 1 】



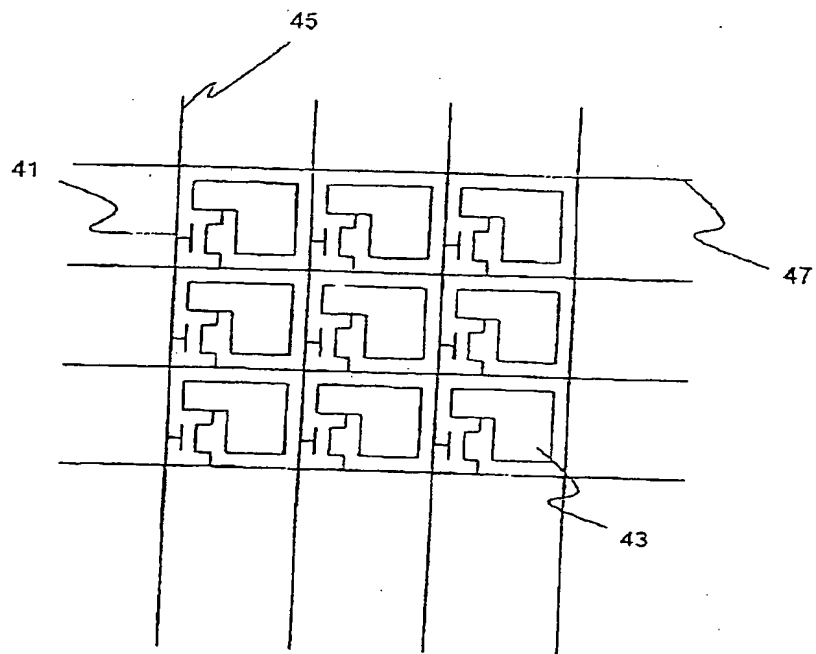
【図2】



【図3】



【図4】



ABSTRACT

A top gate, self-aligned polysilicon (poly-Si) thin film transistor (TFT) is formed using a single laser anneal to crystallize the active silicon and to activate the source-drain region. The poly-Si TFT includes a substrate, dummy gate, a barrier oxide layer, a polysilicon pattern having a source region and a drain region, a gate oxide, and a gate.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.